

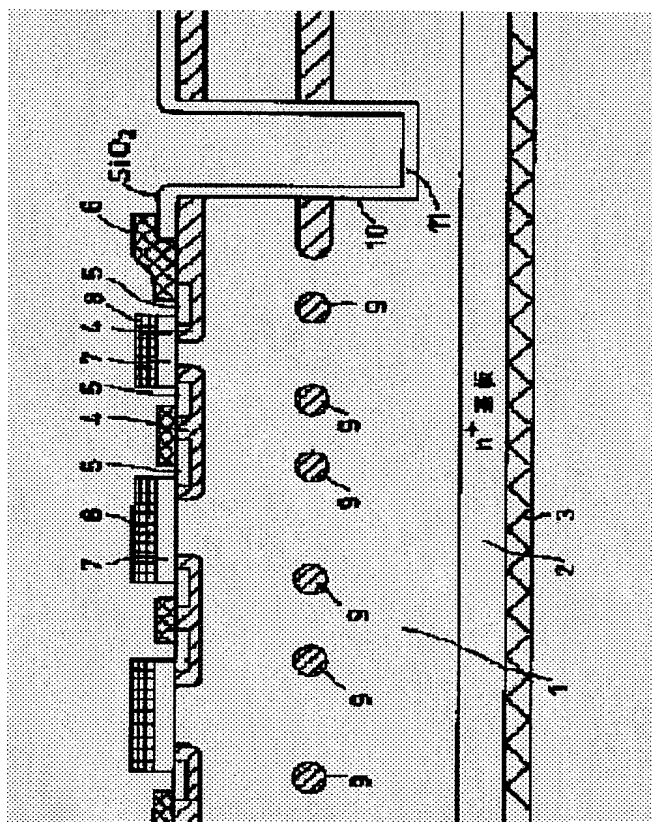
# POWER SEMICONDUCTOR ELEMENT

Patent number: JP2001015744  
Publication date: 2001-01-19  
Inventor: SAITO WATARU; OMURA ICHIRO  
Applicant: TOSHIBA CORP  
Classification:  
- international: H01L29/78; H01L21/336  
- european:  
Application number: JP19990186549 19990630  
Priority number(s):

## Abstract of JP2001015744

**PROBLEM TO BE SOLVED:** To constitute terminal of a semiconductor element which has a layer where the potential floats, without deterioration in breakdown strength by forming a trench or the like at the terminal of a chip.

**SOLUTION:** A trench structure 10 is used for a terminal in a super-FET structure. Hereby, termination of upper and middle doping layers can be performed at the same time, and the effective area of the element within an element becomes large, and the making into an IC also becomes possible. That is, the terminal of the middle doping layer can be taken surely within an area smaller than the case where a guard ring is used, and the effect equal to the bevel structure can be obtained by separation at chip level.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-15744  
(P2001-15744A)

(43) 公開日 平成13年1月19日 (2001.1.19)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード\* (参考)

H 0 1 L 29/78  
21/336

H 0 1 L 29/78

6 5 2 N  
6 5 2 H  
6 5 8 A

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号

特願平11-186549

(22) 出願日

平成11年6月30日 (1999.6.30)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 齋藤 渉

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72) 発明者 大村 一郎

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(74) 代理人 100081732

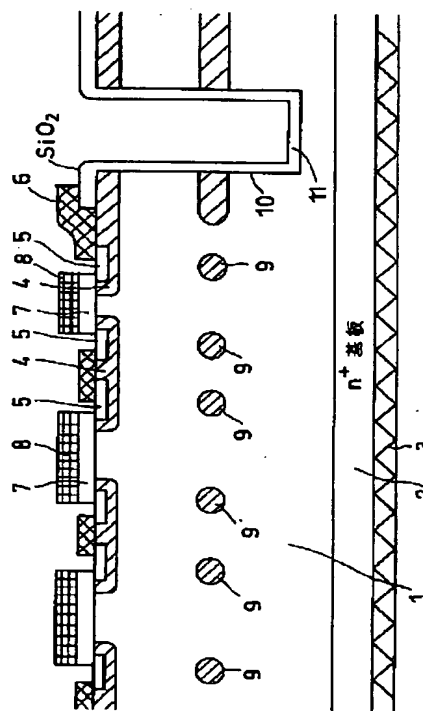
弁理士 大胡 典夫 (外1名)

(54) 【発明の名称】 電力用半導体素子

(57) 【要約】

【課題】 Super FET構造において、素子終端にガードリングを用いた場合、上層とフローティングドーピング層の両方にガードリングを設けなければならず、素子面積が大きくなる問題があった。

【解決手段】 Super FET構造における終端にトレンチ構造10を用いる。これにより、上層と中間ドーピング層の終端が同時に行え、チップ内の素子有効面積が大きくなり、IC化も可能となる。即ち、中間ドーピング層の終端をガードリングを用いた場合よりも小面積で確実に取ることができ、チップレベルでの分離によりベベル構造と同等な効果が得られる。



## 【特許請求の範囲】

【請求項1】 第1導電型半導体層と、前記第1導電型半導体層に電氣的に接続された第1の主電極と、前記第1導電型半導体層の表面に選択的に形成された第1の第2導電型半導体層と、前記第1の第2導電型半導体層に電氣的に接続された第2の主電極と、前記第1導電型半導体層に埋め込まれた複数の電位の浮いた第2の第2導電型半導体層を有する半導体素子であって、素子の終端部分で、前記第2の第2導電型半導体層に達するように素子表面より溝が形成されていることを特徴とする電力用半導体素子。

【請求項2】 第1の第1導電型半導体層と、前記第1の第1導電型半導体層上に形成された第1の主電極と、前記第1の第1導電型半導体層の表面に選択的に形成された第1の第2導電型半導体層と、前記第1の第2導電型半導体層の表面に選択的に形成された第2の第1導電型半導体層と、前記第1の第2導電型半導体層と前記第2の第1導電型半導体層の表面に形成された第2の主電極と、前記第2の第1導電型半導体と、前記第1の第2導電型半導体層と、前記第1の第1導電型半導体層上にゲート絶縁膜を介して形成された制御電極と、前記第1の第1導電型半導体層に埋め込まれた複数の電位の浮いた第2の第2導電型半導体層を有する半導体素子であって、素子の終端部分で、前記第2の第2導電型半導体層に達するように素子表面より溝が形成されていることを特徴とする電力用半導体素子。

【請求項3】 低抵抗第1導電型基板上に形成されている構造を有する素子で、終端部分の溝が前記低抵抗第1導電型基板に達する様に形成されていることを特徴とする請求項1又は2記載の電力用半導体素子。

【請求項4】 終端部分の溝がリング状に素子部分を取り囲んで形成されていることを特徴とする請求項1乃至3記載の電力用半導体素子。

【請求項5】 終端部分の溝が複数本隣り合って形成されていることを特徴とする請求項4記載の電力用半導体素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は電力用半導体素子に係り、特に半導体素子の終端技術に関する。

## 【0002】

【従来の技術】 パワー素子のチップは、素子の動作部分と終端部分から構成される。素子の動作部分はたとえばスイッチングや整流などの機能もち、同じ基本構造を有するパターンがチップ平面方向に展開され、基本構造がチップ内で相当数並列接続された構成になっている。一方終端部分は、素子の動作部分を、素子が満たすべき耐圧を低下させることなくチップ端やチップ上の他の部分と分離するか、チップ端を特殊な処理をすることにより、チップ端での耐圧低下を最小限に抑えることを目的

としている。通常のパワーMOSFETやIGBTでは図18に示す様なガードリングを用いたプレーナ終端により、チップ端と素子の動作部分を分離している。また、円形のウエハごと素子チップ担っているGTOやサイリスタでは、図19に示す様なチップレベルにおける終端としてベベル構造により、電界を集中させることなくチップ端面に電界を逃がす構造が可能である。

【0003】 以上の様に従来の素子では、プレーナ構造か、ベベル構造により、素子の終端構造を形成することができた。しかし、最近提案されている電位の浮いた埋め込み層（中間ドーブ層）を有するような構造（SuperFET構造）では、プレーナ構造をもちいても、埋め込み層の下の方層をチップ表面に逃がすことができないため、プレーナ構造を用いることができない。

【0004】 また、たとえプレーナ構造が可能であったとしても、SuperFET構造では、通常のパワーMOSFETのドリフト層中にフローティングのドーピング層が存在する。素子終端にガードリングを用いた場合、上層とフローティングドーピング層の両方にガードリングを設けなければならず、素子面積が大きくなる。このように終端部分の面積が増加し、有効面積が小さくなるという不具合があった。一方で、小さいチップに浮いた埋め込み層を用いた素子構造を適用する場合、ベベル構造が不可能である。

## 【0005】

【発明が解決しようとする課題】 以上のように埋め込み中間層を有する素子構造では、プレーナ構造をもちいても、埋め込み層の下の方層をチップ表面に逃がすことができないため、プレーナ構造を用いることができない。また、たとえプレーナ構造が可能であったとしても、終端部分の面積が増加し、有効面積が小さくなるという不具合があり、また一方で、小さいチップに浮いた埋め込み層を用いた素子構造を適用する場合、ベベル構造が不可能であるという問題があった。

## 【0006】

【課題を解決するための手段】 本発明は、このような課題に鑑みなされたもので、チップ終端部にトレンチ溝などの構造を形成することにより、埋め込まれた電位の浮いた層を有する半導体素子の終端を、耐圧の劣化なしに構成することを特徴とする。

## 【0007】

【0007】 即ち、本発明は、第1導電型半導体層と、前記第1導電型半導体層に電氣的に接続された第1の主電極と、前記第1導電型半導体層の表面に選択的に形成された第1の第2導電型半導体層と、前記第1の第2導電型半導体層に電氣的に接続された第2の主電極と、前記第1導電型半導体層に埋め込まれた複数の電位の浮いた第2の第2導電型半導体層を有する半導体素子であって、素子の終端部分で、前記第2の第2導電型半導体層に達するように素子表面より溝が形成されていることを特徴とする電力用半導体素子を提供する。

【0008】また、本発明は、第1の第1導電型半導体層と、前記第1の第1導電型半導体層上に形成された第1の主電極と、前記第1の第1導電型半導体層の表面に選択的に形成された第1の第2導電型半導体層と、前記第1の第2導電型半導体層の表面に選択的に形成された第2の第1導電型半導体層と、前記第1の第2導電型半導体層と前記第2の第1導電型半導体層の表面に形成された第2の主電極と、前記第2の第1導電型半導体と、前記第1の第2導電型半導体層と、前記第1の第1導電型半導体層上にゲート絶縁膜を介して形成された制御電極と、前記第1の第1導電型半導体層に埋め込まれた複数の電位の浮いた第2の第2導電型半導体層を有する半導体素子であって、素子の終端部分で、前記第2の第2導電型半導体層に達するように素子表面より溝が形成されていることを特徴とする電力用半導体素子を提供する。

【0009】上記した本発明において、低抵抗第1導電型基板上に形成されている構造を有する素子で、終端部分の溝が前記低抵抗第1導電型基板に達する様に形成されていることが望ましい。

【0010】また、終端部分の溝がリング状に素子部分を取り囲んで形成されていることが望ましい。

【0011】かかる終端部分の溝は、複数本隣り合って形成されていることが望ましい。

【0012】また、溝の幅は0.5ミクロン以上であることが望ましい。

【0013】

【発明の実施の形態】以下、本発明の実施形態について図面を参照しつつ詳細に説明する。

【0014】（第1の実施形態）図1に第1の実施形態の断面図を示す。この図1に示すように、第1の第1導電型半導体層（ $n$ ドリフト層）1の裏面側には高濃度の第1導電型半導体層（ドレイン層、 $n^+$ 基板）2が形成され、この第1導電型半導体層2には第1の主電極（ドレイン電極）3が形成されている。また、前記第1の第1導電型半導体層1の表面には選択的に第1の第2導電型半導体層（ $p$ -well）4が形成されており、この第1の第2導電型半導体層4の表面には選択的に第2の第1導電型半導体層（ $n$ ソース）5が形成されている。

【0015】前記第1の第2導電型半導体層4と前記第2の第1導電型半導体層5の表面には第2の主電極（ソース電極）6が形成されており、前記第2の第1導電型半導体（ $n$ ソース）5と、前記第1の第2導電型半導体層（ $p$ -well）4と、前記第1の第1導電型半導体層（ $n$ ドリフト層）1上にゲート絶縁膜7を介して制御電極8が形成されてMOSFETが構成されている。

【0016】さらに、前記第1の第1導電型半導体層1には、複数の電位の浮いた第2の第2導電型半導体層9が埋め込まれてSuperFET構造が構成されている。この第2の第2導電型半導体層9の周囲の前記第1

の第1導電型半導体層（ $n$ ドリフト層）1には空乏層が形成され、この空乏層により素子のOFF時の耐圧を向上させることが可能である。かかる素子の終端部分には、前記第2の第2導電型半導体層（埋込み層）9に達するように素子表面（ソース側）より溝10が形成されており、かかる溝により素子の終端構造が構成されている。

【0017】この溝10は次のようにして構成する。即ち、SuperFET構造の終端部に溝10を掘り、表面を酸化してシリコン酸化膜11を形成する。後述する結晶成長およびドーピングによりSuperFET構造を形成した後、RIEによりSiを垂直にエッチングして溝10を形成する。ドリフト層の不純物濃度は $1 \times 10^{15} \text{ cm}^{-3}$ 、中間ドーピング層は深さ $2 \mu\text{m}$ 、濃度 $1 \sim 10 \times 10^{17} \text{ cm}^{-3}$ であり、深さ方向に $10 \mu\text{m}$ 間隔でドリフト層内に配置する。溝の幅は $0.5 \mu\text{m}$ 、溝表面の酸化膜厚は $0.1 \mu\text{m}$ 程度である。

【0018】かかる溝10を形成する事により、ガードリングが不要になり、素子の終端はベベル構造と同様な効果が得られる。

【0019】（第2の実施形態）図2に第2の実施形態の断面図を示す。図1と同一部分には同一の符号を示す。以下、MOSFET構造部分は省略する。複数の溝20を掘り込む事により、中間のドーピング層9aが分断され、ガードリングと同様な効果が得られる。21は溝20表面のシリコン酸化膜である。

【0020】（第3の実施形態）図3に第3の実施形態の断面図を示す。図1と同一部分には同一の符号を示す。素子最上層を結晶成長した $p$ 層32で形成し、成長した $p$ 層4のみを彫り込み溝30を形成する事によりガードリングと同様な形状となり、同様な効果が得られる。31は溝30表面のシリコン酸化膜である。

【0021】（第4の実施形態）図4に第4の実施形態の断面図を示す。図1と同一部分には同一の符号を示す。RIEではなく、酸を用いてエッチングすることにより、容易に深い溝40を形成できる。41は溝40表面のシリコン酸化膜である。また、中間のドーピング層9bは分断されて形成されている。

【0022】（第5の実施形態）図5に第5の実施形態の断面図を示す。図1と同一部分には同一の符号を示す。最初にウェットエッチング以外の方法で溝を形成しておいてから、さらに酸を用いて深い溝50を形成する。51は溝50表面のシリコン酸化膜である。また、中間のドーピング層9cは分断されて形成されている。

【0023】（第6の実施形態）図6に第6の実施形態の断面図を示す。図1と同一部分には同一の符号を示す。トレンチ構造を形成した後、溝60内へのゴミの混入を防ぐため、汎用性の高い $\text{poly-Si}$ 62で穴埋めを行う。この場合、溝部のシリコン酸化膜61の酸化膜厚を $0.6 \mu\text{m}$ とする。中間のドーピング層9dは分

断されて形成されている。

【0024】(第7の実施形態)図7に第7の実施形態の断面図を示す。図1と同一部分には同一の符号を示す。基板上面と底面間に高電圧が印可された場合、導電性のある材料で溝70が穴埋めされていると、酸化膜の厚さが薄い場合は、トレンチ断面において反転チャネルが形成され、導通してしまうので、絶縁性の材料(例えばポリミド、BCB等)72を用いて穴埋めを行う。これにより、シリコン酸化膜71を0.1 $\mu\text{m}$ 程度まで薄くできる。中間のドーピング層9eは分断されて形成されている。

【0025】(第8の実施形態)図8に第8の実施形態の上面図を示す。図の斜線部分はトレンチ終端を行う場合の中間ドーピング層のパターンを示したものである。

【0026】(第9の実施形態)図9に第9の実施形態の上面図を示す。図の斜線部分はプレナー終端を行う場合の中間ドーピング層のパターンを示したものである。

【0027】(第10の実施形態)図10、11、12に第10の実施形態に係るドーピング方法の模式図を示す。ドーピングパターンが形成された耐熱性のマスクの中に不純物拡散源となるドーピングガラスを充填したマスクを基板とマスクを接触させて、赤外線を照射することにより加熱され、マスクの開口している部分のドーピングガラスが基板と接触し、接触したドーピングガラスより固相拡散により基板がドーピングされる。マスクには図11に示す様な形態のマスクを用い、耐熱性マスクには石英ガラスを用い、ドーピングガラスには、燐を添加したガラス(PSG)、ボロンを添加したガラス(BSG)の溶液を流し込み焼結してマスクを作製する。また、図12に示す様な石英ガラス上に一面にドーピングガラスをつけた後にエッチングによりパターンニングを行ったマスクを使用する。マスク開口幅は1 $\mu\text{m}$ とする。ドーピング濃度は加熱時間と温度で制御され、PSGの場合、1000 $^{\circ}\text{C}$ 15秒で深さ40nm表面濃度 $1 \times 10^{21} \text{cm}^{-3}$ となり、BSGの場合、1000 $^{\circ}\text{C}$ 15秒で深さ40nm表面濃度 $1 \times 10^{19} \text{cm}^{-3}$ となる。

【0028】本発明により、従来、 $\text{SiO}_2$ などのマスクとなる層を成膜し、光露光によりレジストパターンを形成し、熱拡散、イオン注入などによりドーピングを行うといった工程を行ってきたが、本発明により、工程の短縮が可能となる。

【0029】(第11の実施形態)図13に第11の実施形態に係るドーピング装置の模式図を示す。ステッパーのマスクと同様にドーピングマスクをセットして、基板とマスクとの位置をレーザー光を用いたマーク検出により行い、ステージ移動をして、位置合わせを行う。

【0030】(第12の実施形態)図14、15に第12の実施形態に係る半導体素子製造プロセスと半導体製造装置の模式図を示す。まず、基板に第10の実施形態

のドーピングプロセスを用いて拡散層を形成し、結晶成長を行い、再び同一の方法でドーピングを行うといった繰り返しのプロセスによりSuperFETのドリフト層を形成する。ドーピング装置と結晶成長装置を繋ぎあわせた図15に示す様な装置により繰り返し作業が終始真空雰囲気中または不活性ガス中で行われる。

【0031】(第13の実施形態)図16、17に第13の実施形態に係るマスクの断面模式図と蒸着装置の模式図を示す。図15は第9の実施形態におけるマスクのドーピングガラスを金属に置き換えた構造である。金属には、ガリウム、インジウム、アルミニウム、銅、金、銀などを溶解して流し込みマスクを作製する。図17の様にマスクを基板の真上に浮かせて、マスクを裏面から赤外線加熱して、マスクの金属が蒸発し、基板表面に蒸着される。加熱温度は700~1100 $^{\circ}\text{C}$ 程度で、100~1000秒、0.1~1 $\square\text{m}$ とする。マスクは基板から10 $\mu\text{m}$ 浮かせる。マスクのパターンの間隔は20 $\mu\text{m}$ あける。

【0032】以上本発明の実施形態を説明したが、図において、トレンチの深さをn層中までであったが、トレンチをn層まで到達させる場合も実施できる。この場合は、トレンチの本数が一本のみで効果が得られ、周辺の素子と電気的に分離が可能となる。また、本発明の実施形態はSiを用いた半導体素子を用いて説明したが化合物半導体においても実施でき、SuperFETのみで説明をしてきたが、電位が浮遊した層を有する素子ならば実施が可能となる。

【0033】その他、本発明の趣旨を逸脱しない範囲で種々変形して実施可能である。

【0034】

【発明の効果】以上のように本発明の素子構造によれば、プレナー構造を容易に構成することが可能であり、また終端部分の面積の増加による有効面積の減少を抑制することが可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るSuperFET構造のトレンチ終端構造の断面図。

【図2】本発明の第2の実施形態に係るSuperFET構造のトレンチ終端構造の断面図。

【図3】本発明の第3の実施形態に係るSuperFET構造のトレンチ終端構造の断面図。

【図4】本発明の第4の実施形態に係るSuperFET構造のトレンチ終端構造の断面図。

【図5】本発明の第5の実施形態に係るSuperFET構造のトレンチ終端構造の断面図。

【図6】本発明の第6の実施形態に係るSuperFET構造のトレンチ終端構造の断面図。

【図7】本発明の第7の実施形態に係るSuperFET構造のトレンチ終端構造の断面図。

【図8】本発明の第8の実施形態に係るSuperFET

Tにおいてトレンチ終端を行う場合の中間ドーピング層のパターン模式図。

【図9】本発明の第9の実施形態に係るSuperFETにおいてプレナー終端を行う場合の中間ドーピング層のパターン模式図。

【図10】本発明の第10の実施形態に係るドーピング方式の模式図。

【図11】本発明の第10の実施形態に係るドーピングマスクの断面図。

【図12】本発明の第10の実施形態に係るドーピングマスクの断面図。

【図13】本発明の第11の実施形態に係るドーピング装置の構成図。

【図14】本発明の第12の実施形態に係る素子作製プロセスの工程断面図。

【図15】本発明の第12の実施形態に係る素子作製装置の構成図。

【図16】本発明の第13の実施形態に係る金属拡散マスクの断面図。

【図17】本発明の第13の実施形態に係る金属拡散マスクを用いた蒸着模式図。

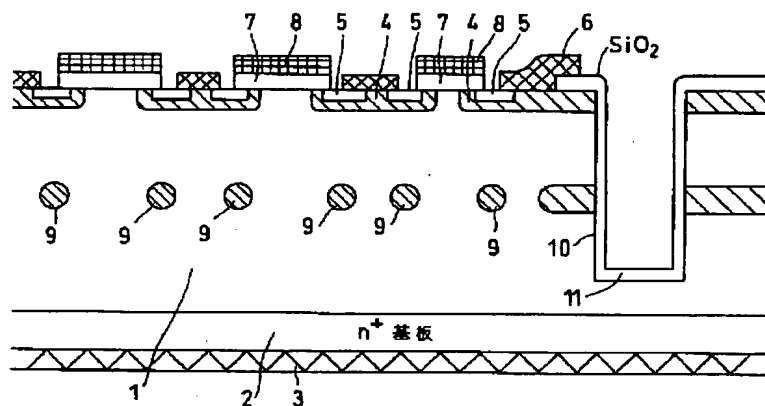
【図18】従来のパワー素子のガードリングによる終端構造を示す断面図。

【図19】従来のパワー素子のベベルによる終端構造を示す断面図。

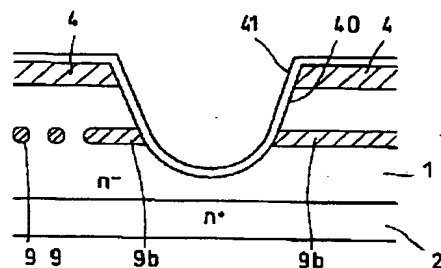
【符号の説明】

- 1…第1の第1導電型半導体層（nドリフト層）
- 2…高濃度の第1導電型半導体層（ドレイン層、n+基板）
- 3…第1の主電極（ドレイン電極）
- 4…第1の第2導電型半導体層（p-well）
- 5…第2の第1導電型半導体層（nソース）
- 6…第2の主電極（ソース電極）
- 7…ゲート絶縁膜
- 8…制御電極
- 9…第2の第2導電型半導体層（埋込み層）
- 10…溝
- 11…シリコン酸化膜

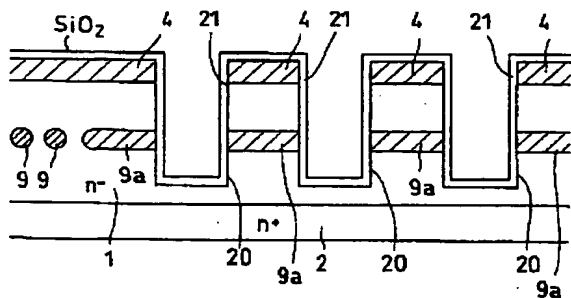
【図1】



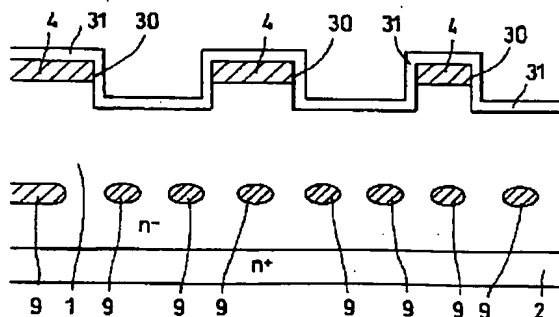
【図4】



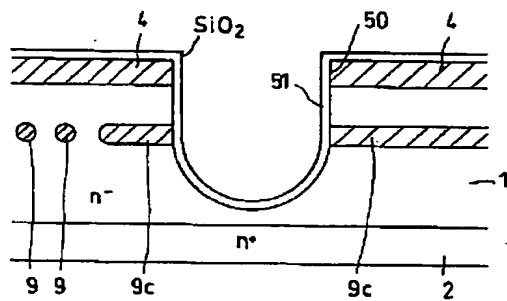
【図2】



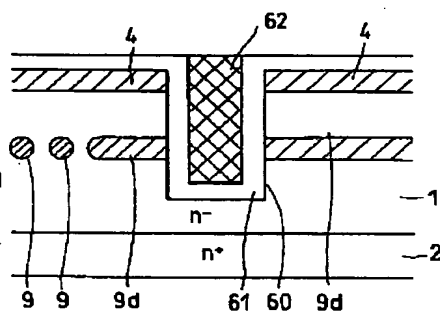
【図3】



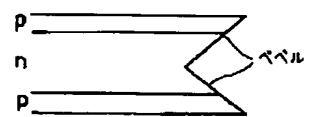
【図5】



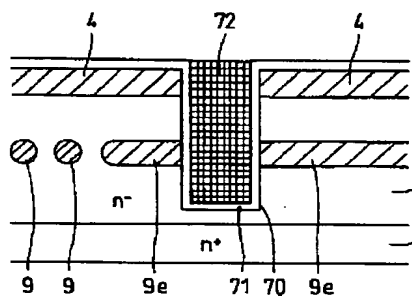
【図6】



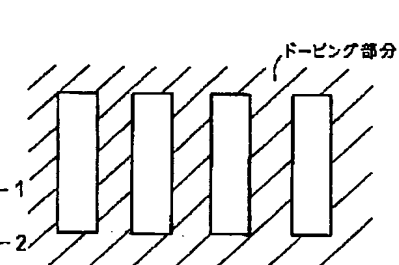
【図19】



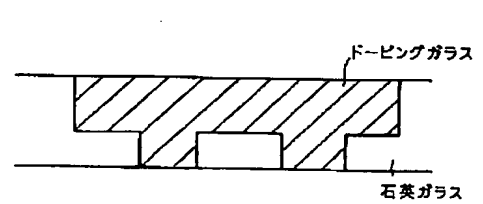
【図7】



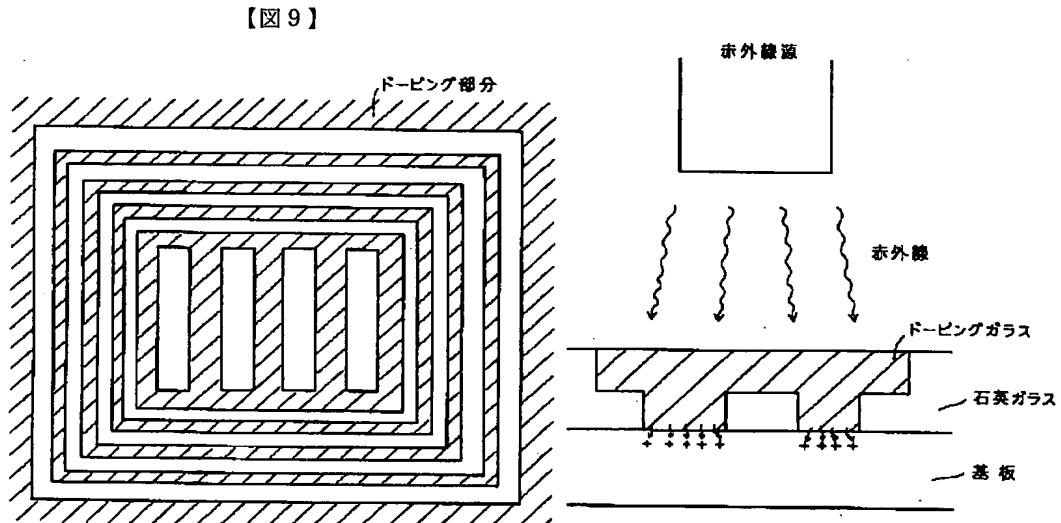
【図8】



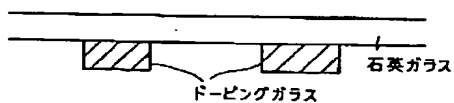
【図11】



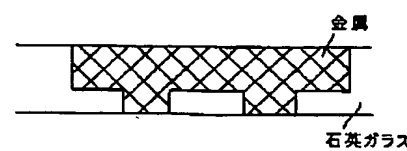
【図10】



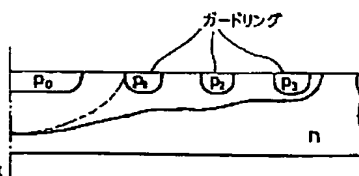
【図12】



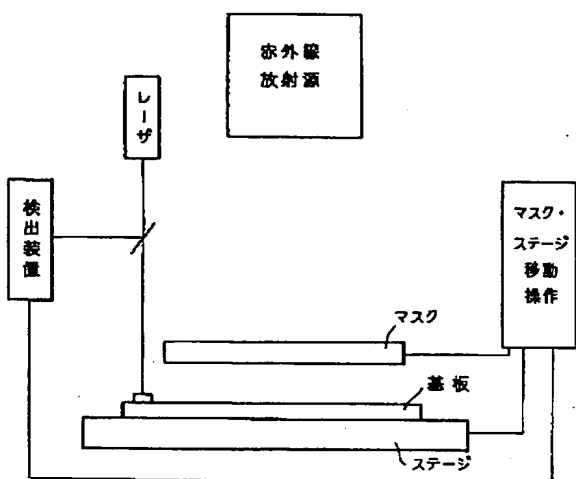
【図16】



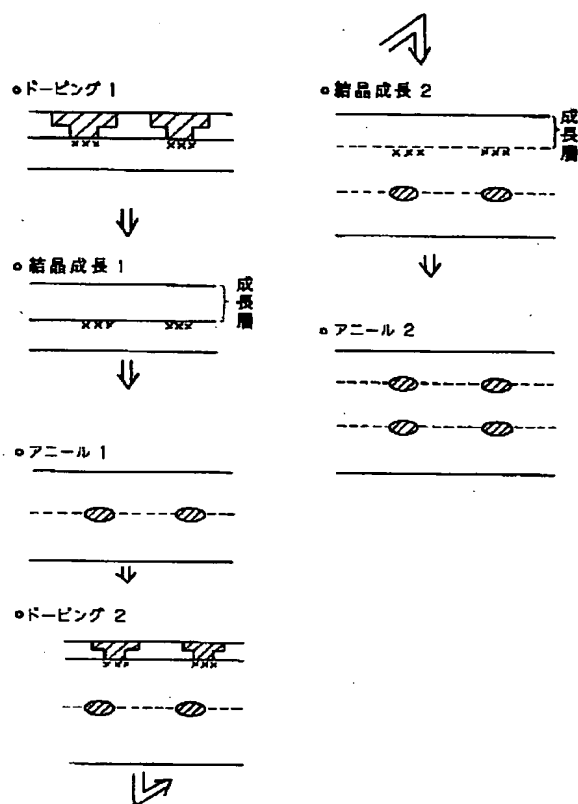
【図18】



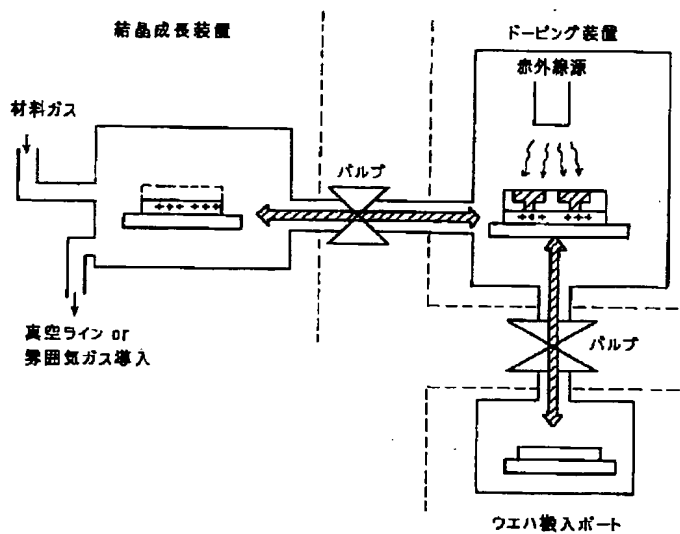
【図13】



【図14】



【図15】



【図17】

